

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日      2003年 5月30日  
Date of Application:

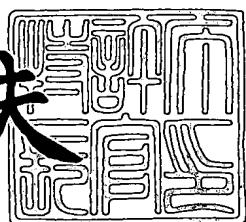
出願番号      特願2003-154149  
Application Number:  
[ST. 10/C]:      [JP2003-154149]

出願人      沖電気工業株式会社  
Applicant(s):

2003年10月 9日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願  
【整理番号】 KT000495  
【提出日】 平成15年 5月30日  
【あて先】 特許庁長官 太田 信一郎 殿  
【国際特許分類】 H01L 21/00  
【発明者】  
【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
【氏名】 浅川 和彦  
【特許出願人】  
【識別番号】 000000295  
【氏名又は名称】 沖電気工業株式会社  
【代理人】  
【識別番号】 100095957  
【弁理士】  
【氏名又は名称】 亀谷 美明  
【電話番号】 03-5919-3808  
【選任した代理人】  
【識別番号】 100096389  
【弁理士】  
【氏名又は名称】 金本 哲男  
【電話番号】 03-3226-6631  
【選任した代理人】  
【識別番号】 100101557  
【弁理士】  
【氏名又は名称】 萩原 康司  
【電話番号】 03-3226-6631

## 【手数料の表示】

【予納台帳番号】 040224

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707549

【包括委任状番号】 9707550

【包括委任状番号】 9707551

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体素子の製造方法

【特許請求の範囲】

【請求項 1】 S T I 技術を用いた半導体素子の製造方法において；

アクティブ領域を保護する保護酸化膜，エッチングストップとなる塗化膜が順次形成された基板に，前記塗化膜を保護する絶縁膜を形成する工程と，

素子分離領域の前記絶縁膜，前記塗化膜，前記保護酸化膜及び前記基板をエッチングし，トレンチを形成する工程と，

前記絶縁膜をエッチングし，前記絶縁膜の開口端を前記アクティブ領域の内部方向に広げる工程と，

熱処理を施し，前記トレンチに熱酸化膜を形成する工程と，

開口端を広げた前記絶縁膜をマスクに前記塗化膜をエッチングし，前記熱酸化膜と前記塗化膜との段差を前記トレンチ上端部から前記アクティブ領域の内部方向に移動する工程と，

前記トレンチを埋め込む充填酸化膜を形成する工程と，

前記充填酸化膜及び前記絶縁膜を選択的にエッチングし，前記塗化膜を露出する工程と，

前記トレンチ内の前記充填酸化膜をエッチングし，前記基板上面及び前記充填酸化膜上面の位置を合わせる工程と，

前記塗化膜及び前記保護酸化膜を除去する工程と，

を含むことを特徴とする半導体素子の製造方法。

【請求項 2】 前記絶縁膜は，酸化膜であることを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 3】 前記充填酸化膜及び前記絶縁膜の選択的なエッチングは，C M P 研磨を用いることを特徴とする請求項 1 または 2 に記載の半導体素子の製造方法。

【請求項 4】 前記充填酸化膜及び前記絶縁膜を選択的にエッチングする際に，前記塗化膜は殆どエッチングされないことを特徴とする請求項 1， 2 または 3 のいずれかに記載の半導体素子の製造方法。

【請求項 5】 前記絶縁膜の開口端を前記アクティブ領域の内部方向に広げる工程において、前記絶縁膜の開口端を前記アクティブ領域の内部方向に約 50 nm 広げることを特徴とする請求項 1, 2, 3 または 4 のいずれかに記載の半導体素子の製造方法。

【請求項 6】 S T I 技術を用いた半導体素子の製造方法において；  
アクティブ領域を保護する保護酸化膜、エッチングストップとなる塗化膜が順次形成された基板に、前記塗化膜を保護するポリシリコン膜を形成する工程と、  
素子分離領域の前記ポリシリコン膜、前記塗化膜、前記保護酸化膜及び前記基板をエッチングし、トレンチを形成する工程と、  
熱処理を施し、前記トレンチに熱酸化膜を形成し、前記ポリシリコン膜を酸化膜に変える工程と、  
前記酸化膜をマスクに前記塗化膜をエッチングし、前記熱酸化膜と前記塗化膜との段差を前記トレンチ上端部から前記アクティブ領域の内部方向に移動する工程と、  
前記トレンチを埋め込む充填酸化膜を形成する工程と、  
前記充填酸化膜及び前記酸化膜を選択的にエッチングし、前記塗化膜を露出する工程と、  
前記トレンチ内の前記充填酸化膜をエッチングし、前記基板上面及び前記充填酸化膜上面の位置を合わせる工程と、  
前記塗化膜及び前記保護酸化膜を除去する工程と、  
を含むことを特徴とする半導体素子の製造方法。

【請求項 7】 前記ポリシリコン膜の代わりにアモルファスシリコン膜を用いることを特徴とする請求項 6 に記載の半導体素子の製造方法。

【請求項 8】 前記充填酸化膜及び前記酸化膜の選択的なエッチングは、C M P 研磨を用いることを特徴とする請求項 6 または 7 に記載の半導体素子の製造方法。

【請求項 9】 前記充填酸化膜及び前記酸化膜を選択的にエッチングする際に、前記塗化膜は殆どエッチングされないことを特徴とする請求項 6, 7 または 8 のいずれかに記載の半導体素子の製造方法。

【請求項 10】 S T I 技術を用いた半導体素子の製造方法において；  
アクティブ領域を保護する保護酸化膜，エッティングストップとなる窒化膜が順次形成された基板に，前記窒化膜を保護する絶縁膜を形成する工程と，  
素子分離領域の前記絶縁膜，前記窒化膜，前記保護酸化膜及び前記基板をエッティングし，トレンチを形成する工程と，  
熱処理を施し，前記トレンチに熱酸化膜を形成する工程と，  
前記基板全面にスペーサ形成用酸化膜を形成後エッチバックし，前記トレンチ側壁に，前記基板面より下方に段差を有する酸化膜側壁スペーサを形成する工程と，  
前記トレンチを埋め込む充填酸化膜を形成する工程と，  
前記充填酸化膜及び前記絶縁膜を選択的にエッティングし，前記窒化膜を露出する工程と，  
前記トレンチ内の前記充填酸化膜及び前記酸化膜側壁スペーサをエッティングし，前記基板上面及び前記充填酸化膜上面の位置を合わせる工程と，  
前記窒化膜及び前記保護酸化膜を除去する工程と，  
を含むことを特徴とする半導体素子の製造方法。

【請求項 11】 前記絶縁膜は，酸化膜であることを特徴とする請求項 10 に記載の半導体素子の製造方法。

【請求項 12】 前記充填酸化膜及び前記絶縁膜の選択的なエッティングは，C M P 研磨を用いることを特徴とする請求項 10 または 11 に記載の半導体素子の製造方法。

【請求項 13】 前記充填酸化膜及び前記絶縁膜を選択的にエッティングする際に，前記窒化膜は殆どエッティングされないことを特徴とする請求項 10， 11 または 12 のいずれかに記載の半導体素子の製造方法。

【請求項 14】 S T I 技術を用いた半導体素子の製造方法において；  
アクティブ領域を保護する保護酸化膜，エッティングストップとなる窒化膜が順次形成された基板に，前記窒化膜を保護する絶縁膜を形成する工程と，  
素子分離領域の前記絶縁膜，前記窒化膜，前記保護酸化膜及び前記基板をエッティングし，トレンチを形成する工程と，

熱処理を施し、前記トレンチに熱酸化膜を形成する工程と、  
前記基板全面にポリシリコン膜を形成後エッチバックし、前記トレンチ側壁に  
、前記基板面より下方に段差を有するポリシリコン膜側壁スペーサを形成する工  
程と、

熱処理を施し、前記ポリシリコン膜側壁スペーサを酸化膜側壁スペーサに変え  
る工程と、

前記トレンチを埋め込む充填酸化膜を形成する工程と、  
前記充填酸化膜及び前記絶縁膜を選択的にエッチングし、前記窒化膜を露出す  
る工程と、

前記トレンチ内の前記充填酸化膜及び前記酸化膜側壁スペーサをエッチングし  
、前記基板上面及び前記充填酸化膜上面の位置を合わせる工程と、  
前記窒化膜及び前記保護酸化膜を除去する工程と、  
を含むことを特徴とする半導体素子の製造方法。

【請求項15】 前記ポリシリコン膜の代わりにアモルファスシリコン膜を  
用いることを特徴とする請求項14に記載の半導体素子の製造方法。

【請求項16】 前記絶縁膜は、酸化膜であることを特徴とする請求項14  
または15に記載の半導体素子の製造方法。

【請求項17】 前記充填酸化膜及び前記絶縁膜の選択的なエッチングは、  
CMP研磨を用いることを特徴とする請求項14、15または16のいずれかに  
記載の半導体素子の製造方法。

【請求項18】 前記充填酸化膜及び前記酸化膜を選択的にエッチングする  
際に、前記窒化膜は殆どエッチングされないことを特徴とする請求項14、15  
、16または17のいずれかに記載の半導体素子の製造方法。

【請求項19】 前記ポリシリコン膜をエッチバックし、ポリシリコン膜側  
壁スペーサを形成する際に、トレンチ底部の前記熱酸化膜は殆どエッチングされ  
ないことを特徴とする請求項14、15、16、17または18のいずれかに記  
載の半導体素子の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

**【発明の属する技術分野】**

本発明は半導体素子の製造方法において、詳しくはShallow Trench Isolation (STI) 技術を用いた半導体素子の製造方法に関するものである。

**【0002】****【従来の技術】**

近年、半導体素子の微細化に伴い、素子間を分離するための技術として、絶縁物で充填されたトレンチを形成するSTI技術が用いられている。従来のSTIプロセスフローを図9～10を用いて以下に説明する。

**【0003】**

まず基板501に保護酸化膜502を形成した後に、塗化膜503を成膜する。その後、素子分離領域にトレンチ505を形成する為、既知のリソグラフィ技術を利用し、塗化膜503上にレジストパターンを形成する（図示せず）。このレジストパターンを用い、ドライエッティングにて塗化膜503、保護酸化膜502、基板501を連続してエッティングし、トレンチ505を形成する（図9（a））。

**【0004】**

トレンチ形成後、レジスト材を除去し、次にトレンチ内部のシリコン表面のダメージ防止、結晶欠陥発生防止及び汚染防止のため、かつトレンチ上端部の角を丸めるため熱酸化を行い（丸め酸化処理），熱酸化膜である丸め酸化膜506を形成する。次にトレンチ内部をCVD酸化膜507で充填する（図9（b））。その後、塗化膜503上のCVD酸化膜507の除去処理を行う（図9（c））。

**【0005】**

その後、アクティブ領域面と素子分離領域の面の位置を合わせるために、フッ酸を用いてトレンチ内のCVD酸化膜を高さ調整するためのエッティング（L）を行う（図10（d））。このエッティング後に、熱りん酸の溶液にて塗化膜503、及びフッ酸にてシリコン基板501上の保護酸化膜502を除去する（図10（e））。

### 【0006】

その後、CVD酸化膜上端部にて、図10 (d) のD1に示すディボットと呼ばれるCVD酸化膜が陥没する形状異常が発生する。これは、トレンチを充填するCVD酸化膜を成膜する前の下地の構造としてトレンチ上端部に丸め酸化膜506と窒化膜503との段差形状508 (図9 (b)) を有しており、この段差部に成膜されるCVD酸化膜の膜質が他の領域の膜質と異なる為、フッ酸のエッチングレートに差が生じるのが原因として考えられている。

### 【0007】

なお、窒化膜を除去した後に行うフッ酸のエッチング総処理量が多いほど、例えば、図10 (e) のD2に示すように、ディボットの大きさは大きくなる。このディボットは、トレンチ上端部のCVD酸化膜が陥没し、さらにその後のフッ酸前処理等により、トレンチ上端部の熱酸化膜 (丸め酸化膜) が薄くなったり、トレンチ上端部が露出したりするので、素子特性を悪化させる不具合があった。

### 【0008】

このディボットの大きさを低減する手法として、図11～12に示すプロセスフローが提案されている。トレンチを形成し図11 (a)、丸め酸化膜を形成した後、窒化膜後退エッチングと呼ばれる熱りん酸などのウェットもしくはドライエッチングにて、窒化膜の等方エッチングを実施し、丸め酸化膜と窒化膜との段差形状509の位置をトレンチ上端部の直上付近からアクティブ領域内部側にスライドさせる図11 (b)。

### 【0009】

その後のトレンチ内部をCVD酸化膜で充填する工程 (図11 (c)) 以降は、先に述べた従来技術と同様である。窒化膜を後退させることでディボット発生箇所は、図12 (e) に示すように従来のトレンチ上端部からシリコン後退量分だけアクティブ領域側にスライドすることになり、その後のフッ酸のエッチング後においてもディボットの大きさは改善され、図12 (f) に示すようにトレンチ上端部のCVD酸化膜が陥没するのを防ぐことができる。

### 【0010】

その他にも、STI技術を用いた素子間分離において、トレンチ上端部に起因

する不具合を改善する方法として。下記に示す文献が開示されている。

### 【0011】

#### 【特許文献1】

特開2001-44273

#### 【特許文献2】

特開2001-267416

#### 【特許文献3】

特開2000-277604

#### 【特許文献4】

特開2001-118919

### 【0012】

#### 【発明が解決しようとする課題】

しかし、上記に示した塗化膜の後退エッチングを用いる方法は、塗化膜の後退エッチング量の正確な制御性、面内、面間均一性を要求される。制御不安定であると塗化膜厚がばらつくことになる為、後工程のC M Pでの研磨後、塗化膜厚のばらつきが悪化、かつC M P後のトレンチ内C V D酸化膜の高さ調整エッチング量の設定が困難になるという問題があった。

### 【0013】

本発明は、従来の半導体素子の製造方法が有する上記問題点に鑑みてなされたものであり、本発明の目的は、ディボットの発生を改善するとともに、塗化膜厚のばらつきが悪化してトレンチ内C V D酸化膜の高さ調整エッチング量の設定が困難になることのない、新規かつ改良された半導体素子の製造方法を提供することである。

### 【0014】

#### 【課題を解決するための手段】

上記課題を解決するため、本発明の第1の観点によれば、S T I技術を用いた半導体素子の製造方法において；保護酸化膜、塗化膜が順次形成された基板に、塗化膜を保護する絶縁膜を形成する工程と、フォトリソグラフィによって素子分離領域をパターニングして各膜及び基板をエッチングし、トレンチを形成する工

程と、絶縁膜をエッティングして開口端をアクティブ領域の内部方向に広げる工程と、熱処理を施してトレンチに熱酸化膜を形成する工程と、絶縁膜をマスクに塗化膜をエッティングして熱酸化膜と塗化膜との段差をトレンチ上端部からアクティブ領域の内部方向にスライド（移動）する工程と、トレンチを埋め込んで充填酸化膜を形成する工程と、充填酸化膜及び絶縁膜を選択的にエッティングして塗化膜を露出する工程と、トレンチ内の充填酸化膜をエッティングして基板上面及び充填酸化膜上面の位置を合わせる工程と、塗化膜及び保護酸化膜を除去する工程と、を含むことを特徴とする半導体素子の製造方法が提供される。

#### 【0015】

ここで絶縁膜は酸化膜であることが好ましく、塗化膜の後退エッティング時に塗化膜表面がエッティングされるのを防ぎ、塗化膜厚がばらつきを低減する。また、充填酸化膜のエッティングにはCMP研磨を用いることができ、塗化膜が殆どエッティングされない条件を用いることにより、やはり基板面内の塗化膜厚ばらつきを低減することができる。

#### 【0016】

絶縁膜の開口端は、アクティブ領域の内部方向に約50nm広げることが好ましく、つまり塗化膜を約50nm後退させ、塗化膜と熱酸化膜との段差をトレンチ上端部からずらすことにより、ディポットがアクティブ領域寄りに形成され、トレンチ上端部の熱酸化膜が薄くなったり、トレンチ上端部が露出したりするのを防ぎ素子特性の悪化を防ぐことができる。

#### 【0017】

また、本発明の第2の観点によれば、保護酸化膜、塗化膜が順次形成された基板に、塗化膜を保護するポリシリコン膜を形成する工程と、各膜及び基板をエッティングして素子分離領域にトレンチを形成する工程と、熱処理を施してトレンチに熱酸化膜を形成するとともにポリシリコン膜を酸化膜に変える工程と、ポリシリコン膜から変化した酸化膜をマスクに塗化膜をエッティングして熱酸化膜と塗化膜との段差をアクティブ領域寄りに移動する工程と、トレンチを埋め込む充填酸化膜を形成する工程と、充填酸化膜及び酸化膜を選択的にエッティングして塗化膜を露出する工程と、トレンチ内の充填酸化膜をエッティングし、基板上面及び充填

酸化膜上面の位置を合わせる工程と、窒化膜及び保護酸化膜を除去する工程と、を含むことを特徴とする半導体素子の製造方法が提供される。

#### 【0018】

第2の観点による方法においては、窒化膜を保護する絶縁膜の代わりに形成したポリシリコン膜を、トレンチに熱酸化膜を形成する際の熱処理で酸化膜に変化させていることが特徴であり、第1の観点による方法と同様の効果が得られる。また、ポリシリコン膜の代わりにアモルファスシリコン膜を用いることもできる。

#### 【0019】

また、トレンチに熱酸化膜を形成する際の前処理として、フッ酸を用いる場合、窒化膜を保護する絶縁膜として酸化膜を用いていると膜減りして酸化膜が消失する可能性があるが、ポリシリコン膜であればその心配はない。また、ポリシリコン膜が酸化膜に変化する際にポリシリコン膜（酸化膜）の開口端がアクティブ領域内部側に自然に後退するので、ポリシリコン膜を別途にエッチングする必要はない。

#### 【0020】

さらに本発明の第3の観点によれば、保護酸化膜、窒化膜が順次形成された基板に、窒化膜を保護する絶縁膜を形成する工程と、素子分離領域の各膜及び基板をエッチングしてトレンチを形成する工程と、熱処理を施してトレンチに熱酸化膜を形成する工程と、基板全面にスペーサ形成用酸化膜を形成した後、ドライエッチングによりエッチバックして、トレンチ側壁に、基板面より下方に段差を有する酸化膜側壁スペーサを形成する工程と、トレンチを埋め込む充填酸化膜を形成する工程と、充填酸化膜及び絶縁膜を選択的にエッチングして窒化膜を露出する工程と、トレンチ内の充填酸化膜及び酸化膜側壁スペーサをエッチングし、基板上面及び充填酸化膜上面の位置を合わせる工程と、窒化膜及び保護酸化膜を除去する工程と、を含むことを特徴とする半導体素子の製造方法が提供される。

#### 【0021】

第3の観点による方法は、窒化膜と熱酸化膜とによる段差に充填酸化膜を形成させないために、窒化膜と熱酸化膜とによる段差部つまり窒化膜及びトレンチの

側壁を覆う酸化膜のスペーサを形成するものである。また、そのスペーサを形成する時に生じる段差は、トレンチ内の基板より下方に位置しているので、充填酸化膜を形成する際にはこのスペーサ段差部に膜質の変化が生じるが、フッ酸による充填酸化膜エッチングの影響を受けず、ディボットは全く発生しない。

#### 【0022】

また、塗化膜上の絶縁膜はなくても構わないが、酸化膜を形成してスペーサ形成時に塗化膜を保護することが好ましく、後工程での除去も容易である。また、充填酸化膜のエッチングにはCMP研磨を用いることができ、塗化膜が殆どエッチングされない条件を用いることにより、基板面内の塗化膜厚ばらつきを低減することができる。

#### 【0023】

さらに、第4の観点によれば、保護酸化膜、塗化膜が順次形成された基板に、塗化膜を保護する絶縁膜を形成する工程と、素子分離領域の各膜及び基板をエッチングしてトレンチを形成する工程と、熱処理を施してトレンチに熱酸化膜を形成する工程と、基板全面にポリシリコン膜を形成した後ドライエッチによりエッチバックしてトレンチ側壁に、基板面より下方に段差を有するポリシリコン膜のスペーサを形成する工程と、熱処理によりポリシリコン膜の側壁スペーサを酸化膜の側壁スペーサに変える工程と、トレンチを埋め込む充填酸化膜を形成する工程と、充填酸化膜及び絶縁膜を選択的にエッチングして塗化膜を露出する工程と、トレンチ内の充填酸化膜及びスペーサをエッチングして基板上面及び充填酸化膜上面の位置を合わせる工程と、塗化膜及び保護酸化膜を除去する工程と、を含むことを特徴とする半導体素子の製造方法が提供される。

#### 【0024】

塗化膜及びトレンチの側壁を覆い、基板面の下方に段差を有する酸化膜のスペーサを形成するものであり、第3の観点と同様の効果を得てディボットが生じない。ただし、酸化膜のスペーサは、ポリシリコン膜のスペーサを熱処理によって変化させたものである。また、ポリシリコン膜の代わりにアモルファスシリコンを用いても効果は同様である。

#### 【0025】

また、側壁スペーサを形成する時には、ポリシリコン膜をエッチングするため、酸化膜との選択比が高いエッチング条件を設定することにより、トレンチ底部の熱酸化膜は殆どエッチングされない状態に残すことができる。これにより、充填酸化膜形成の際に、トレンチ底部の基板にダメージや結晶欠陥が発生するのを防止することができる。

### 【0026】

#### 【発明の実施の形態】

以下に添付図面を参照しながら、本実施形態にかかる半導体素子の製造方法について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

### 【0027】

#### （第1の実施の形態）

図1～図2に、第1の実施の形態によるSTIプロセスフローについて示す。シリコンの基板101に基板101を保護する保護酸化膜102を15nm程度の膜厚で酸化して形成した後に、後にエッチングストップとなる塗化膜103をLPCVDにて成膜し、さらに塗化膜103上に塗化膜を保護する絶縁膜104として、例えばCVD酸化膜を、LPCVDを用いて70nm程度の膜厚で成膜する。

### 【0028】

その後、素子分離領域Bにトレンチ105を形成する為、既知のリソグラフィ技術を利用してアクティブ領域の絶縁膜104上にレジストパターンを形成する（図示せず）。このレジストパターンを用いて、ドライエッチングにて絶縁膜104、塗化膜103、保護酸化膜102、基板101を連続でエッチングし、トレンチ105を形成する（図1（a））。エッチング後、レジスト材を除去する。

### 【0029】

次に、後の塗化膜後退設定量Mと同一値とする絶縁膜104（CVD酸化膜）の後退エッチング処理をフッ酸等にて実施する。次にトレンチ105部シリコン

表面のダメージ防止、結晶欠陥発生防止、かつトレンチ 105 上端部の角の丸め加工を行うため、熱処理を施し（丸め酸化処理）、30 nm 程度の熱酸化膜 106 を形成する（図 1 (b)）。その後、窒化膜 103 の等方エッチングを熱りん酸を用いて 50 nm 程度行い、熱酸化膜 106 と窒化膜 103 との段差形状 108 の位置をトレンチ 105 上端部の直上付近からアクティブ領域 A の内部側にスライドさせる。

### 【0030】

熱酸化膜と窒化膜との段差部に CVD 酸化膜を形成した場合、段差部の CVD 酸化膜は他の部分と組成が異なり、フッ酸にてエッチングする際にエッチングレートに差が生じて、ディボットと呼ばれる CVD 酸化膜が陥没する形状異常が発生する。このディボットがトレンチ上端部に発生すると、フッ酸のエッチングや前処理等でディボットの大きさがトレンチ深さ方向に大きくなってしまい、トレンチ端部の熱酸化膜が薄くなったり、端部が露出してしまったりする。これは、素子分離特性を悪化させる不具合を引き起こす。

### 【0031】

そのため、熱酸化膜 106 と窒化膜 103 との段差形状 108 の位置をスライドさせ、後にディボットの発生する位置をアクティブ領域よりに移動させるものである。この移動量、つまり窒化膜後退設定量 M は、トレンチ上端部からずれた所にディボットが発生して特性不具合を起こさない距離であり、もちろんアクティブ領域内部にスライドさせすぎて、本素子に影響があつてはいけない。そこで、本実施の形態では、約 50 nm とした。

### 【0032】

次にトレンチ 105 内部を絶縁物で充填する為、充填酸化膜として、例えば CVD 酸化膜 107 を成膜する（図 1 (c)）。その後、CMP (Chemical Mechanical Polishing) を用いて窒化膜 103 上の CVD 酸化膜 107 と絶縁膜 104 とを除去する（図 2 (d)）。この時、CVD 酸化膜 107 や絶縁膜 104 (CVD 酸化膜) のエッチングレートに対して、窒化膜のエッチングレートは低いので、窒化膜 103 はエッチングストップとなり、そのまま残る。

### 【0033】

また、除去する方法としては、CMPだけでなく素子分離領域Bをレジストパターンで保護し、アクティブ領域AのCVD酸化膜107をエッティングで除去する方法でもよい。その場合にもCVD酸化膜に対して塗化膜のエッティングレート低いエッティング方法を選択し、塗化膜103が影響を受けないことが望ましい。

### 【0034】

その後、アクティブ領域A面と素子分離領域Bの面の位置を合わせるように、フッ酸を用いてトレンチ105内CVD酸化膜107を高さ調整するためのエッティングを行う（図2（e））。この時、アクティブ領域の熱酸化膜と塗化膜との段差形状位置にDに示すようにディボットが形成される。この後に、熱りん酸の溶液にて塗化膜103、及びフッ酸にて基板101上の保護酸化膜102を除去する（図2（f））。ここで、トレンチ105上端部の熱酸化膜と塗化膜との段差形状位置はアクティブ内部側にスライドしているので、フッ酸によるエッティング処理を多くしても、ディボットは大きくならない。

### 【0035】

第1の実施の形態では、塗化膜後退エッティング処理前に塗化膜103表面を絶縁膜104で保護する構造であるため、塗化膜後退エッティング量Mのばらつきが大きい場合でも塗化膜103の厚さは影響を受けない。よって、CMPでの研磨後の塗化膜厚のばらつきが悪化し、かつCMP後のトレンチ内CVD酸化膜の高さ調整エッティング量の設定が困難になるという問題が回避可能になる。

### 【0036】

また、従来では、塗化膜後退エッティングを行う際の膜厚変動を見込んで、塗化膜103を厚く成膜する必要があったが、本実施の形態では、絶縁膜104が塗化膜103を保護しているので膜厚が変化しないため、塗化膜103の薄膜化が可能になる。また、塗化膜103及び絶縁膜104（CVD酸化膜）の後退エッティングを行うため、トレンチ105内部に充填するCVD酸化膜のカバレージを良好に保つことが可能である。

### 【0037】

（第2の実施の形態）

図3～図4は、第2の実施の形態によるSTIプロセスフローを表す。シリコン基板201に保護酸化膜202を15nm程度の膜厚で酸化して形成した後に、LPCVDにて塗化膜203を成膜し、さらに塗化膜203上に保護膜としてLPCVDを用いて、ポリシリコン膜204（またはアモルファスシリコン膜）を10nm程度の膜厚で成膜する。その後、第1の実施の形態と同様に素子分離領域にトレンチ205を形成する（図3（a））。

#### 【0038】

次にトレンチ205部シリコン表面のダメージ防止、結晶欠陥発生防止、かつトレンチ205上端部の角を丸め加工を行うため、熱処理（丸め酸化処理）を行い、30nm程度の熱酸化膜206を形成する。このとき、ポリシリコン膜204は同時に酸化され、酸化膜207に変化する（図3（b））。その後、塗化膜203後退エッティングを熱りん酸を用いて50nm程度行い、トレンチ205上端部の直上付近に存在していた熱酸化膜206と塗化膜203との段差形状位置をアクティブ領域内部側にスライドさせる。

#### 【0039】

次にトレンチ205内部を充填する充填酸化膜として、CVD酸化膜208を形成する（図3（c））。その後第1の実施の形態と同様にCMPを用いて塗化膜203上のCVD酸化膜208と酸化膜207とを除去する（図4（d））。その後、トレンチ205内CVD酸化膜208の高さ調整エッティングを行い（図4（e）），熱りん酸の溶液にて塗化膜203、及びフッ酸にて基板201上の保護酸化膜202を除去する（図4（f））。

#### 【0040】

本実施の形態においても、トレンチ上端部の熱酸化膜と塗化膜との段差形状位置はアクティブ領域内部側にスライドしているので、フッ酸によるエッティング処理を多くしても、ディボットが大きくなつて素子特性に影響を及ぼすことはない。また、塗化膜後退エッティング処理前に塗化膜203を酸化膜207で保護する構造であるため、塗化膜後退エッティング量のばらつきが大きい場合でも塗化膜203は膜厚変化しない。よつて、CMPでの研磨後の塗化膜厚のばらつき悪化や、トレンチ内CVD酸化膜の高さ調整エッティング量の設定が困難になる問題が回

避可能になる。

#### 【0041】

さらに、第1の実施の形態では塗化膜を保護する絶縁膜の後退エッチングを行う必要があったが、本実施の形態では、ポリシリコン膜204が熱処理により酸化膜207に反応変化する際にポリシリコン膜204（酸化膜207）がアクティブ領域方向に後退するため、酸化膜207の後退エッチングが不要である効果もある。また、第1の実施の形態においては、丸め酸化処理をする前の前洗浄処理にフッ酸を含んでいる場合、前処理による膜減りで絶縁膜104（CVD酸化膜）が消失する懸念があったが、本実施の形態では前処理時はフッ酸に影響を受けないポリシリコン膜204であるので、消失する懸念はない。また、ポリシリコン膜がアモルファスシリコン膜であった場合にも、同様の効果が得られる。

#### 【0042】

（第3の実施の形態）

図5～6は、第3の実施の形態によるSTIプロセスフローを表す。シリコン基板301に保護酸化膜302を15nm程度の膜厚で酸化して形成した後に、LPCVDにて塗化膜303を成膜する。さらに塗化膜を保護する絶縁膜304を、例えばLPCVDを用いてCVD酸化膜を40nm程度の膜厚で成膜する。その後、第1の実施の形態と同様に素子分離領域にトレンチ305を形成する（図5（a））。

#### 【0043】

トレンチ305を形成後、トレンチ305部シリコン表面のダメージ防止、結晶欠陥発生防止、かつトレンチ上端部の角を丸め加工を行うため、熱処理を施し（丸め酸化処理）、熱酸化膜306を30nm程度形成する。その後、全面にスペーサ形成用酸化膜として、CVD酸化膜307を成膜した（図5（b））後、ドライエッチングを用いてエッチバックし、平坦部のCVD酸化膜307及び熱酸化膜306をエッチングし、塗化膜303及びトレンチ305の側壁に、基板301面より下方に段差を有する酸化膜側壁スペーサとして、スペーサ308、309を形成する（図5（c））。

#### 【0044】

もちろんこのスペーサ 308, 309 は、基板面より下方に段差を有していれば、段差部でスペーサ 308, 309 がつながっていても構わない。また、塗化膜 303 上の絶縁膜 304 もエッチングされてしまっても構わない。

#### 【0045】

スペーサ 308 は塗化膜 303 からトレンチ 305 上部の熱酸化膜 306 にかけて形成されており、スペーサ 309 は、トレンチ 305 内の熱酸化膜 306 上部からトレンチ 305 底面に至るまでに形成されるスペーサである。塗化膜 303 と熱酸化膜 306 とで形成される段差部は、スペーサ 308 に覆われており、スペーサ 308 とスペーサ 309 による段差が基板 301 の表面より下がったトレンチ 305 内の位置 311 に存在する。

#### 【0046】

その後、トレンチ 305 内部を充填する充填酸化膜として、CVD酸化膜 310 を形成する（図6（d））。その後第1の実施の形態と同様にCMPを用いて塗化膜 303 上のCVD酸化膜 310 を除去する（図6（e））。その後、トレンチ 305 内 CVD酸化膜 310 の高さ調整エッチングを行い、熱りん酸の溶液にて塗化膜 303、及びフッ酸にて基板 301 上の保護酸化膜 302 を除去する（図6（f））。

#### 【0047】

こうして第3の実施の形態においては、ディボット発生起因である段差がシリコン基板より下がった位置 311 に存在し、CVD酸化膜 310 の膜質が他の領域のそれと異なる領域がその位置 311 に形成されるため、フッ酸のエッチングの際に、ディボットが全く発生しない平滑なエッチングが可能である。そのため、CMP研磨後、塗化膜 303 膜厚のばらつき悪化する問題やトレンチ内 CVD酸化膜の高さ調整エッチング量の設定が困難になるという問題が回避可能になる。また、第1及び第2の実施の形態のような塗化膜と熱酸化膜の段差をアクティブ領域内部側にスライドさせるための塗化膜後退エッチングは不要となる。

#### 【0048】

（第4の実施の形態）

図7～図8に、第4の実施の形態によるSTIプロセスフローを表す。基板 4

01に保護酸化膜402を15nm程度の膜厚で酸化して形成した後に、LPCVDにて塗化膜403を成膜する。さらに塗化膜403上に塗化膜を保護する絶縁膜404としてLPCVDを用いてCVD酸化膜を40nm程度の膜厚で成膜する。その後、第1の実施の形態と同様に素子分離領域にトレンチ405を形成する（図7（a））。

#### 【0049】

次にトレンチ405部シリコン表面のダメージ防止、結晶欠陥発生防止、かつトレンチ上端部の角を丸め加工を行うため、丸め酸化処理を行い、熱酸化膜406を30nm程度形成する。その後、LPCVDを用いて、全面にポリシリコン膜（またはアモルファスシリコン膜）407を20nm程度の膜厚で成膜し（図7（b）），ドライエッチングを用いてエッチバックし、平坦部のポリシリコン膜（またはアモルファスシリコン膜）407及び熱酸化膜406をエッチングし、塗化膜403及びトレンチ405の側壁に、基板401面より下方に段差を有するポリシリコン膜側壁スペーサとして、スペーサ408、409を形成する（図7（c））。

#### 【0050】

第3の実施の形態と同様、スペーサ408、409は、基板面より下方に段差を有していれば、段差部でスペーサ408、409がつながっていても構わない。また、塗化膜403上の絶縁膜404はエッチングされてしまっても構わない。さらに、ポリシリコン膜と酸化膜のエッチング選択比の高いエッチング条件を用いることにより、トレンチ405底部の熱酸化膜はエッチングされず、底面のシリコンは、露出しない。

#### 【0051】

スペーサ408は塗化膜403からトレンチ405上部の熱酸化膜406にかけて形成されており、スペーサ409は、トレンチ405内の熱酸化膜406上部からトレンチ405底面に至るまでに形成されるスペーサである。塗化膜403と熱酸化膜406とで形成される段差部は、スペーサ408に覆われており、スペーサ408とスペーサ409とによる段差が基板401の表面より下がったトレンチ405内の位置411に存在する。

### 【0052】

その後、熱処理を施し、ポリシリコン（またはアモルファスシリコン）のスペーサ408及びスペーサ409を酸化膜のスペーサ418及びスペーサ419に変化させる。その後、トレンチ405内部を充填する充填酸化膜として、CVD酸化膜410を形成する（図8（d））。その後第1の実施の形態と同様にCMPを用いて塗化膜403上のCVD酸化膜410及び塗化膜保護膜404を除去する（図8（e））。その後、トレンチ405内CVD酸化膜410及び酸化膜のスペーサ418の高さ調整エッチングを行い、熱りん酸の溶液にて塗化膜403、及びフッ酸にて基板401上の保護酸化膜402を除去する（図8（f））。

### 【0053】

第4の実施の形態においては、第3の実施の形態と同様、ディボット発生起因であるトレンチ内部の段差がシリコン基板より下がった位置411に存在し、CVD酸化膜410の膜質が他の領域のそれと異なる領域がその位置411に形成される特徴を有する為、フッ酸のエッチングの際は、ディボットが全く発生しない平滑なエッチングが可能である。そのため、CMP研磨後の塗化膜厚のばらつき悪化、トレンチ内CVD酸化膜の高さ調整エッチング量の設定が困難になるという問題が回避可能になる。また、塗化膜と熱酸化膜の段差をアクティブ領域内部側にスライドさせるための塗化膜後退エッチングは不要である。

### 【0054】

また、第3の実施の形態では、スペーサエッチングの後にトレンチ底部のシリコンが露出するので、トレンチ内部をCVD酸化膜で充填する工程にて、トレンチ底部のシリコン基板にダメージ320（図6（d））が発生し、結晶欠陥が発生することが懸念される。しかし本実施の形態では、ポリシリコン膜と酸化膜のエッチング選択比の高いエッチング条件を用いることにより、このエッチング後のシリコン露出を防止することが可能となり、シリコン基板にダメージが発生するのを防ぐことができる。また、ポリシリコン膜がアモルファスシリコン膜であった場合にも、同様の効果が得られる。

### 【0055】

以上、添付図面を参照しながら本実施形態にかかる半導体素子の製造方法の好適な実施形態について説明したが、本発明はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

### 【0056】

#### 【発明の効果】

以上説明したように、本発明による半導体素子の製造方法によれば、S T I プロセスにおいて、塗化膜の上に塗化膜の保護絶縁膜を形成してからトレンチを形成し、塗化膜の後退エッチングを行うので、後退エッチング時に塗化膜厚の膜減りやばらつきがなくなり、他の工程に影響を及ぼすことがなく、トレンチ上端部の熱酸化膜と塗化膜との段差形状位置をスライドさせることによりディボットの発生を低減できる。

#### 【図面の簡単な説明】

##### 【図1】

第1の実施の形態にかかるプロセスを概略的に示す工程断面図であり、(a)はトレンチ形成後の図、(b)は塗化膜保護膜の後退設定量のエッチングを行った後の図、(c)は塗化膜の後退エッチングを行い、トレンチ内部を充填する酸化膜を全面に形成した後の図である。

##### 【図2】

第1の実施の形態にかかる図1に続くプロセスを概略的に示す工程断面図であり、(d)はC M Pにより素子間分離領域以外の酸化膜を除去した後の図、(e)はトレンチ内部の酸化膜をエッチングした後の図、(f)は塗化膜、保護酸化膜を除去した後の図である。

##### 【図3】

第2の実施の形態にかかるプロセスを概略的に示す工程断面図であり、(a)はトレンチ形成後の図、(b)は塗化膜の後退エッチングを行い、丸め熱処理を行った後の図、(c)はトレンチ内部を充填する酸化膜を全面に形成した後の図である。

**【図 4】**

第 2 の実施の形態にかかる図 3 に続くプロセスを概略的に示す工程断面図であり、(d) は CMP により素子間分離領域以外の酸化膜を除去した後の図、(e) はトレンチ内部の酸化膜をエッチングした後の図、(f) は窒化膜、保護酸化膜を除去した後の図である。

**【図 5】**

第 3 の実施の形態にかかるプロセスを概略的に示す工程断面図であり、(a) はトレンチ形成後の図、(b) は全面に酸化膜を形成した後の図、(c) は側壁スペーサを形成した後の図である。

**【図 6】**

第 3 の実施の形態にかかる図 5 に続くプロセスを概略的に示す工程断面図であり、(d) はトレンチ内部を充填する酸化膜を全面に形成した後の図、(e) は CMP により素子間分離領域以外の酸化膜を除去し、トレンチ内部の酸化膜をエッチングした後の図、(f) は窒化膜、保護酸化膜を除去した後の図である。

**【図 7】**

第 4 の実施の形態にかかるプロセスを概略的に示す工程断面図であり、(a) はトレンチ形成後の図、(b) は全面にポリシリコンを形成した後の図、(c) は側壁スペーサを形成した後の図である。

**【図 8】**

第 4 の実施の形態にかかる図 7 に続くプロセスを概略的に示す工程断面図であり、(d) はトレンチ内部を充填する酸化膜を全面に形成した後の図、(e) は CMP により素子間分離領域以外の酸化膜を除去し、トレンチ内部の酸化膜をエッチングした後の図、(f) は窒化膜、保護酸化膜を除去した後の図である。

**【図 9】**

従来技術にかかるプロセスを概略的に示す工程断面図であり、(a) はトレンチ形成後の図、(b) はトレンチ内部を充填する酸化膜を全面に形成した後の図、(c) は CMP により素子間分離領域以外の酸化膜を除去した後の図である。

**【図 10】**

従来技術にかかる図 9 に続くプロセスを概略的に示す工程断面図であり、(d)

) はトレンチ内部の酸化膜をエッティングした後の図, (e) は窒化膜, 保護酸化膜を除去した後の図である。

#### 【図11】

従来技術にかかるプロセスを概略的に示す工程断面図であり, (a) はトレンチ形成後の図, (b) は窒化膜の後退エッティングを行った後の図, (c) はトレンチ内部を充填する酸化膜を全面に形成した後の図である。

#### 【図12】

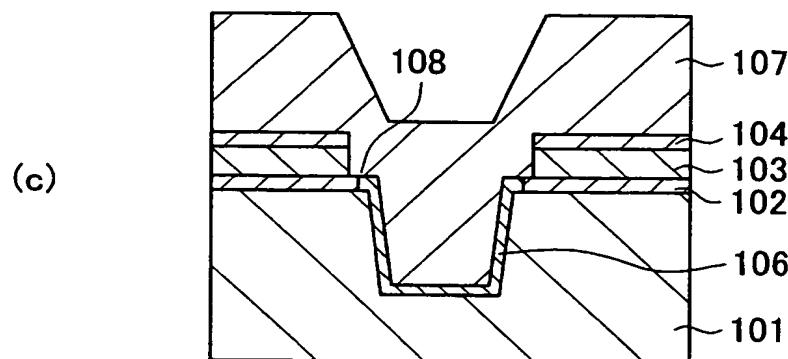
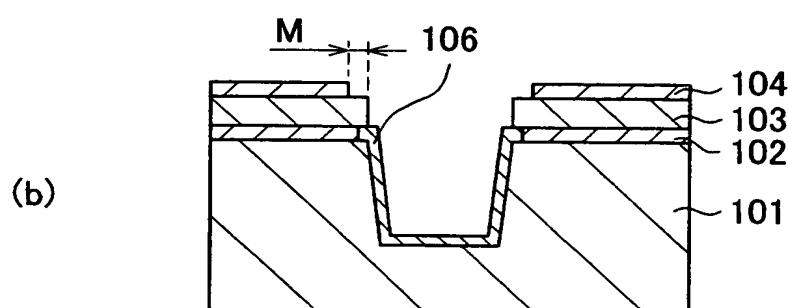
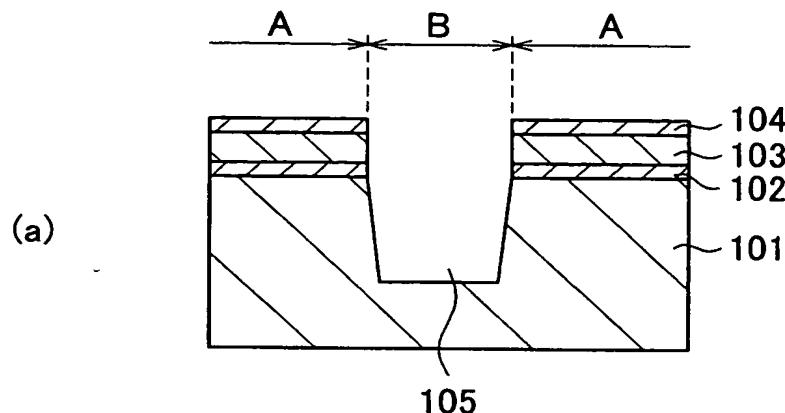
従来技術にかかる図11に続くプロセスを概略的に示す工程断面図であり, (d) はCMPにより素子間分離領域以外の酸化膜を除去した後の図, (e) はトレンチ内部の酸化膜をエッティングした後の図, (f) は窒化膜, 保護酸化膜を除去した後の図である。

#### 【符号の説明】

101	基板
102	保護酸化膜
103	窒化膜
104	絶縁膜
105	トレンチ
106	熱酸化膜
107	充填酸化膜
108	段差形状
D	ディボット
M	窒化膜後退設定量
A	アクティブ領域
B	素子間分離領域

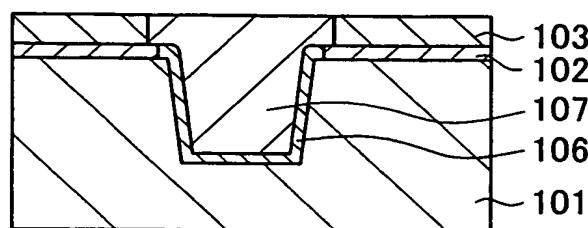
【書類名】 図面

【図 1】

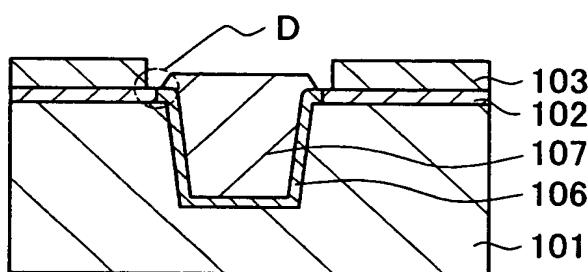


【図 2】

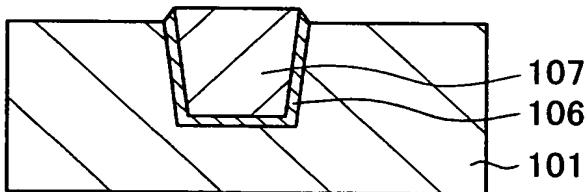
(d)



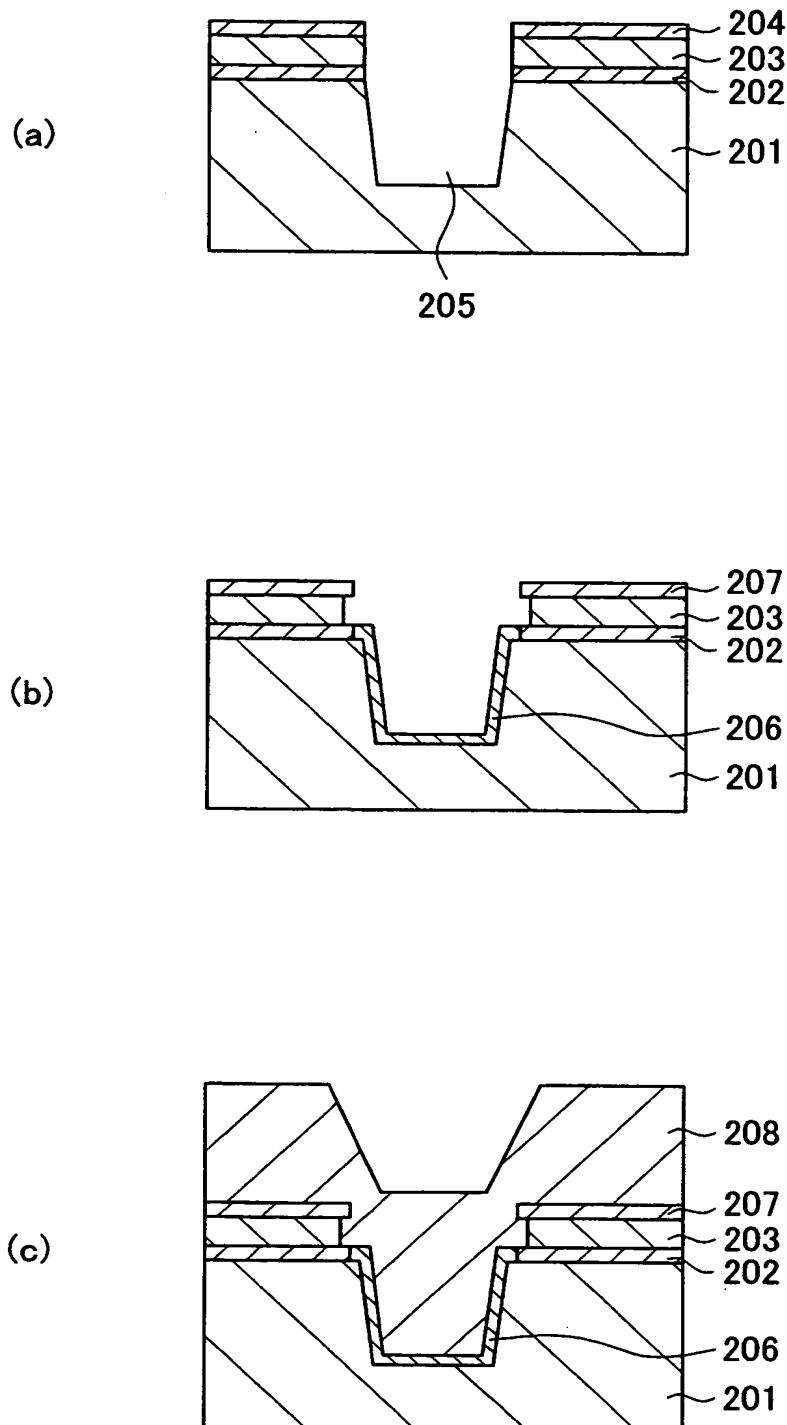
(e)



(f)

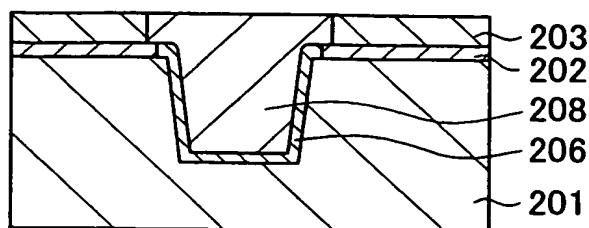


【図3】

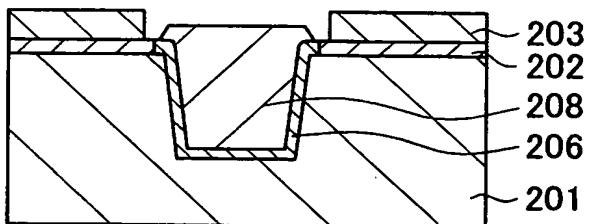


【図 4】

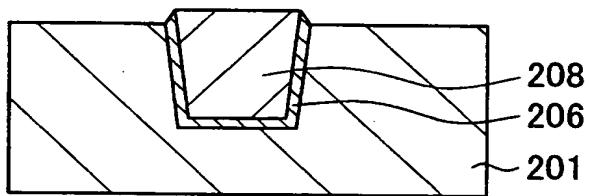
(d)



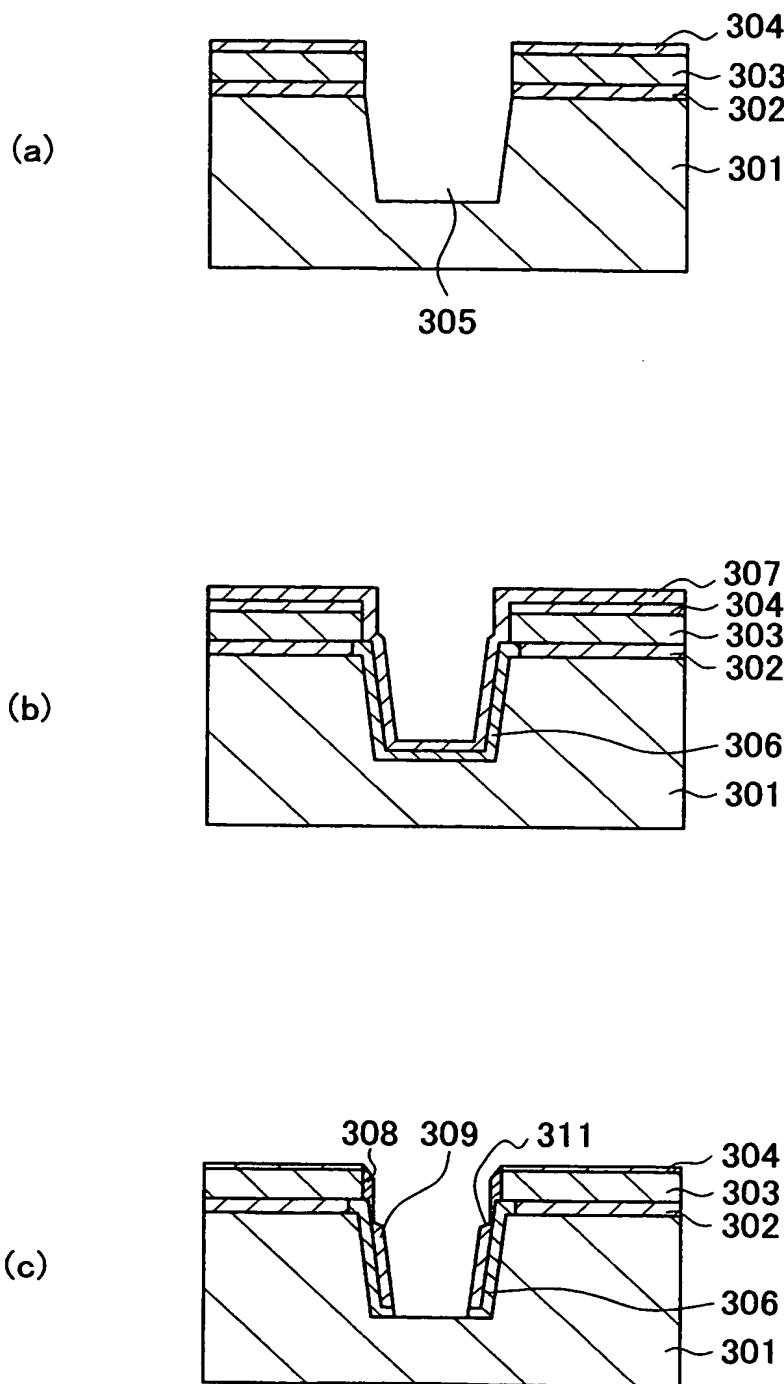
(e)



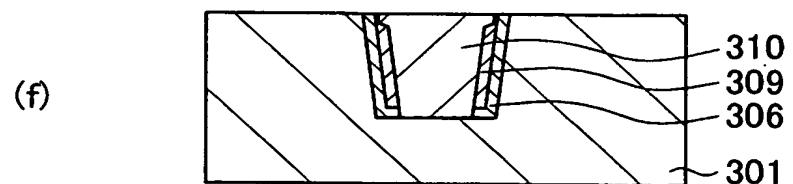
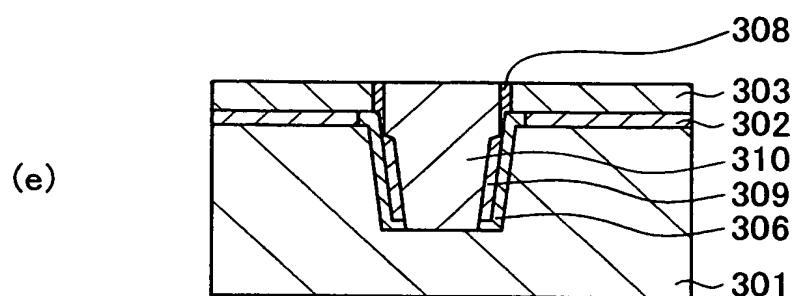
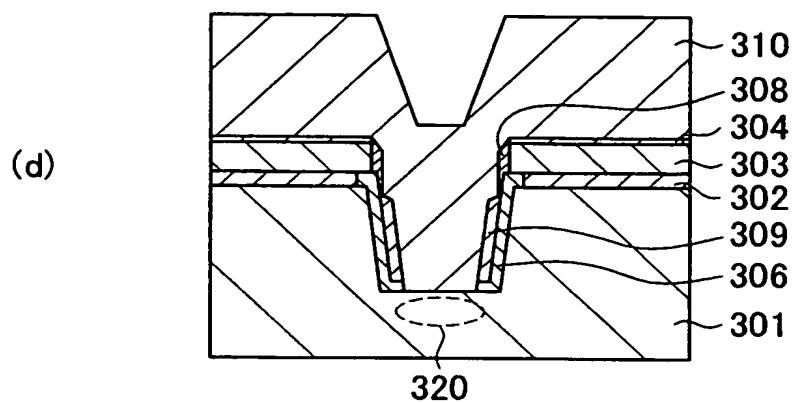
(f)



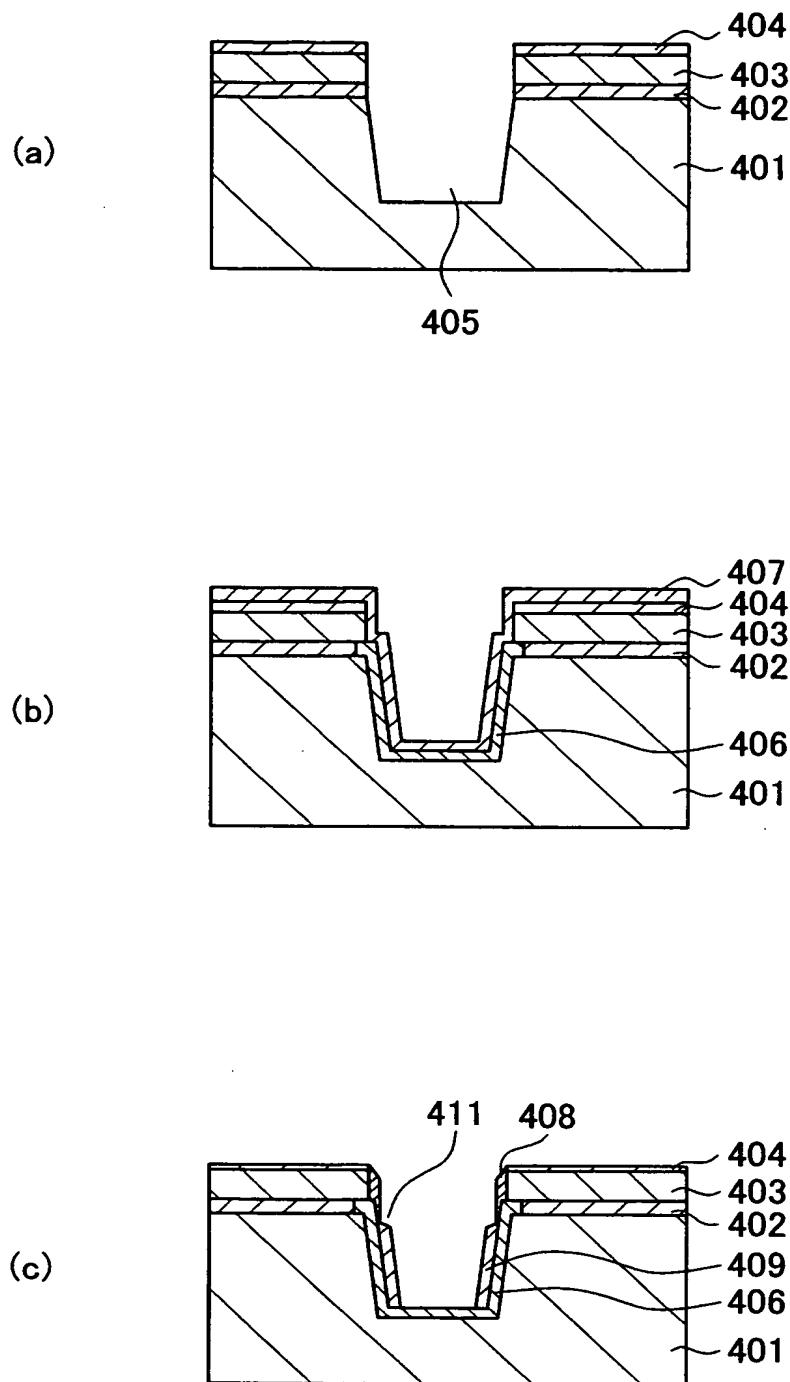
【図 5】



【図6】

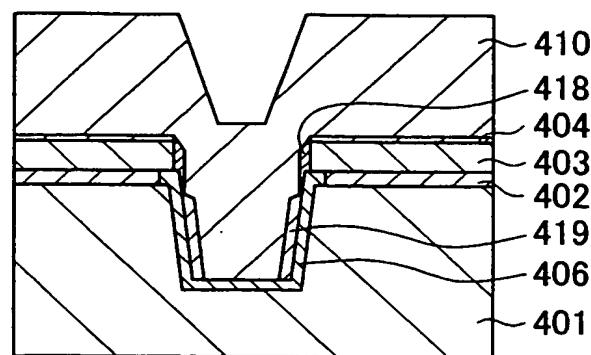


【図 7】

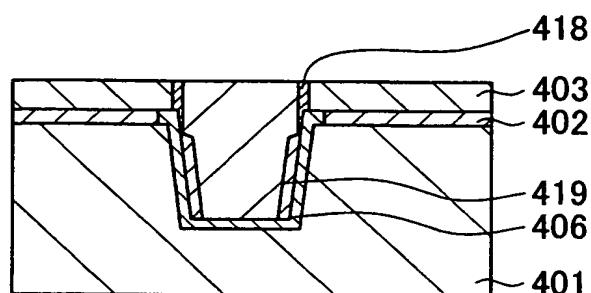


【図 8】

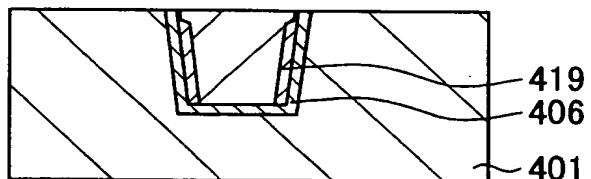
(d)



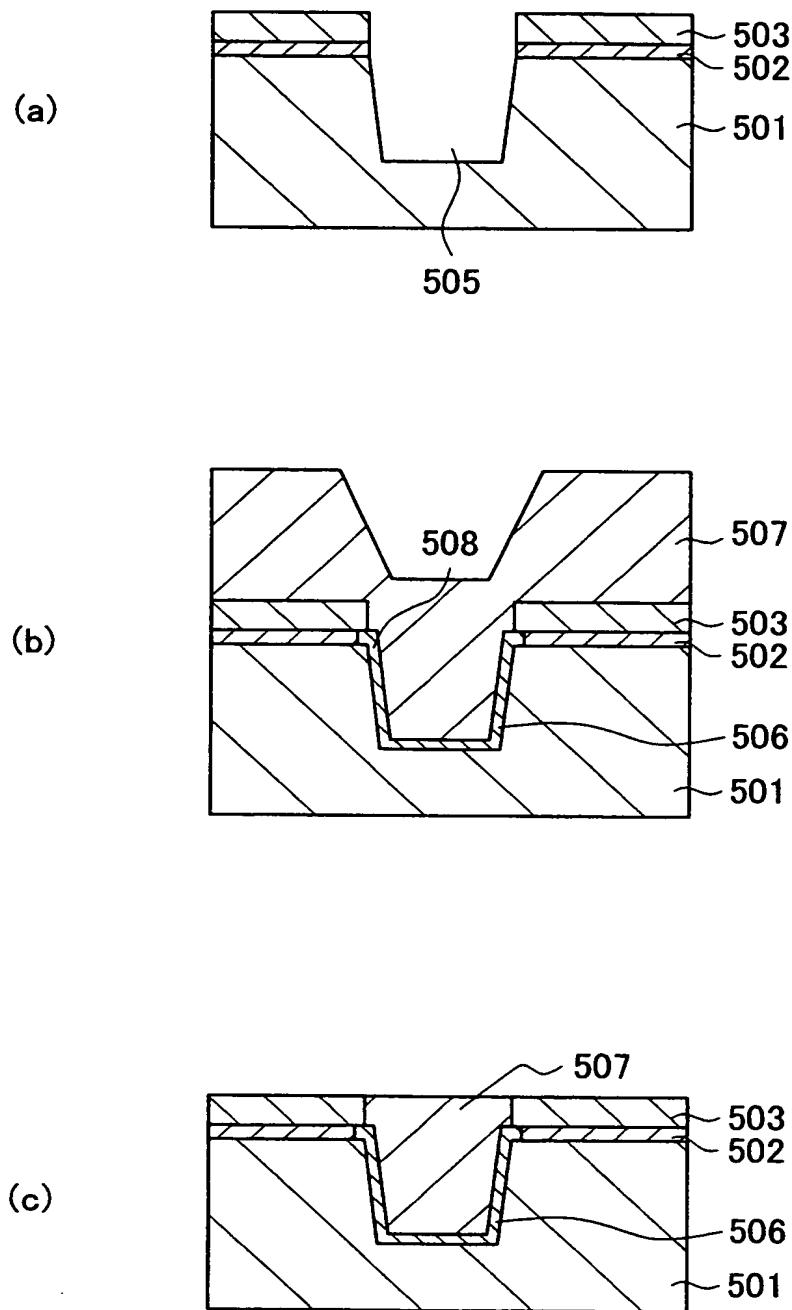
(e)



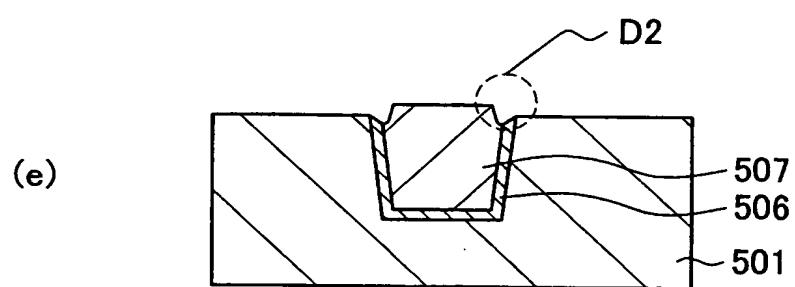
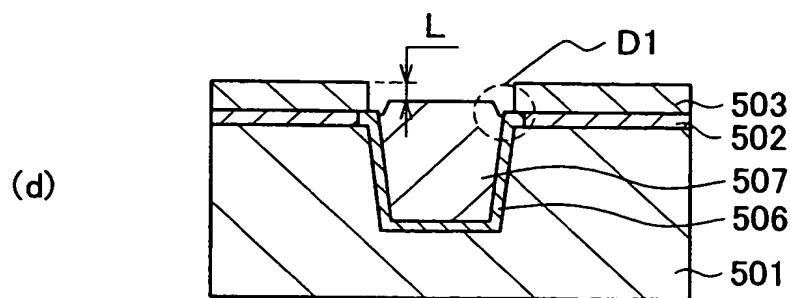
(f)



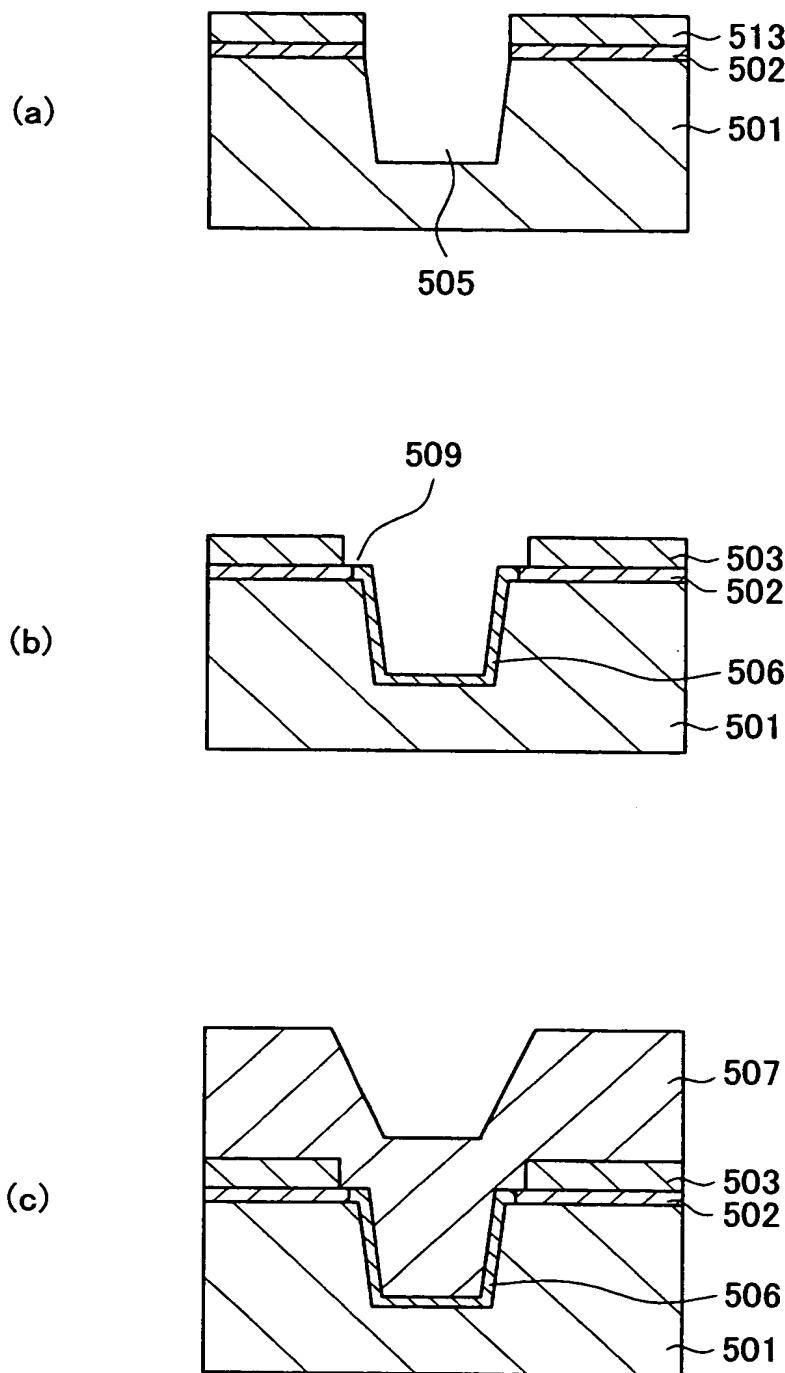
【図9】



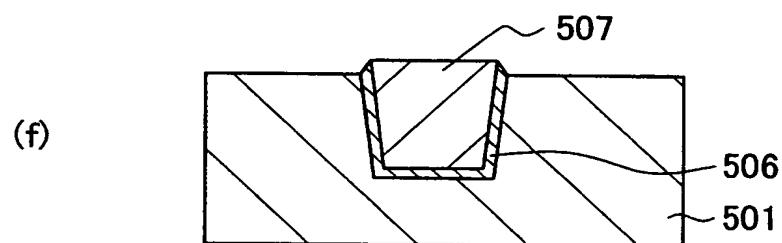
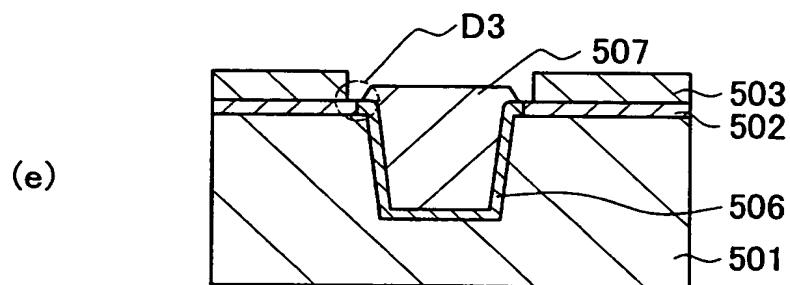
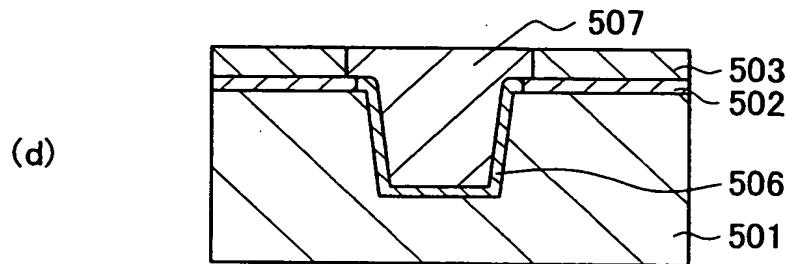
【図10】



【図 11】



【図12】



【書類名】 要約書

【要約】

【課題】 S T I 技術を用いた素子において、トレンチ上端部の不要なエッチング溝の形成を防ぎ、他の工程に不具合を生じない半導体素子の製造方法を提供する。

【解決手段】 基板101上に保護酸化膜102、窒化膜103、窒化膜103を保護する絶縁膜104を順次形成する工程と、トレンチ105を形成する工程と、絶縁膜104をエッチングして開口端をアクティブ領域方向に広げる工程と、トレンチ105に熱酸化膜106を形成する工程と、絶縁膜104をマスクに窒化膜103をエッチングして熱酸化膜と窒化膜との段差をトレンチ上端部からアクティブ領域方向にスライドする工程と、充填酸化膜107を形成する工程と、窒化膜103を露出する工程と、充填酸化膜107をエッチングする工程と、窒化膜103及び保護酸化膜102を除去する工程と、を含む。

【選択図】 図1

特願2003-154149

出願人履歴情報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住所 東京都港区虎ノ門1丁目7番12号  
氏名 沖電気工業株式会社